

INTEGRATED SENSOR

Patent number: JP2002050771

Publication date: 2002-02-15

Inventor: FUJITSUKA TOKUO; TSUKADA ATSUSHI; MIZUNO KENTAROU; OMURA YOSHITERU;
NONOMURA YUTAKA; TOKUMITSU SANAE

Applicant: TOYOTA CENTRAL RES & DEV LAB INC

Classification:

- international: H01L29/84; G01L9/04; H01L27/12

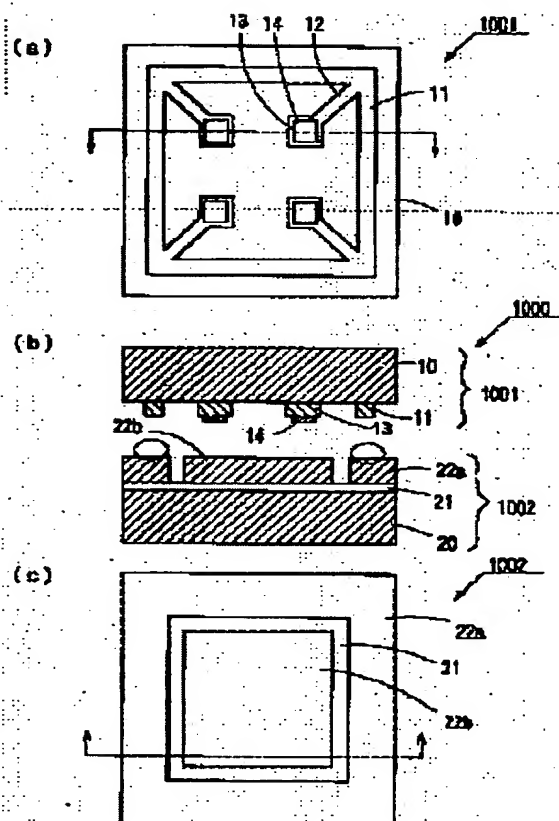
- european:

Application number: JP20000232666 20000801

Priority number(s):

Abstract of JP2002050771

PROBLEM TO BE SOLVED: To integrate a sensor which is less likely made into one chip and a signal processing circuit.
SOLUTION: A sensor board 1001, whose main surface is a face (110) and on which a sensor element having protuberances 11 to 13, is made, and a circuit board 1002 which is made of an SOI substrate whose main surface is a face (100) and has an active layer 22b and a junction layer 22a having signal processing circuits, are joined with each other by an anodic junction. Although the junction layer 22a and the protuberance 11 are anodically joined with each other, voltage is not applied to the active layer 22b having a signal processing circuit, so that breakage of a circuit will not occur. A metal film 14 is made at the terminal 13 of the sensor board 1001, and it is electrically connected with the desired position of the active layer 22b having a circuit. What is more, although it is not shown in figure, anodic junction can be made by forming a Pyrex (R) film on either the protuberance 11 or on the junction layer 22a.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-50771

(P 2 0 0 2 - 5 0 7 7 1 A)

(43) 公開日 平成14年2月15日 (2002. 2. 15)

(51) Int. Cl. ⁷	識別記号	F I	ターマコード [*]	(参考)
H01L 29/84		H01L 29/84	A	2F055
G01L 9/04	101	G01L 9/04	101	4M112
H01L 27/12		H01L 27/12	C	

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願2000-232666 (P 2000-232666)

(22) 出願日 平成12年8月1日 (2000. 8. 1)

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番
地の1

(72) 発明者 藤塚 徳夫

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(72) 発明者 塚田 厚志

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(74) 代理人 100087723

弁理士 藤谷 修

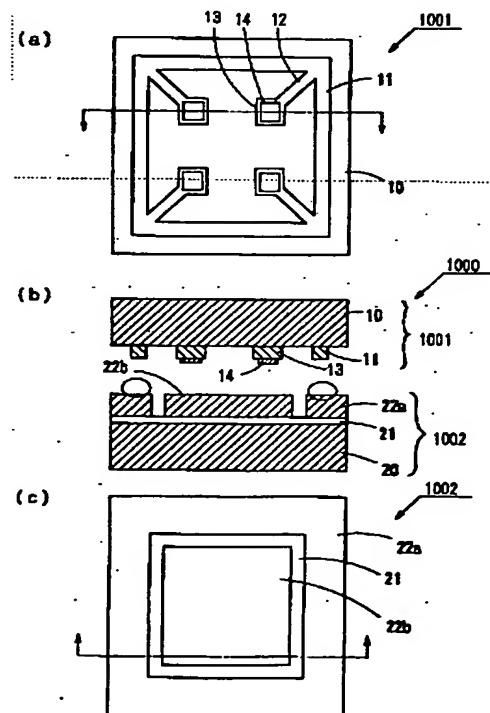
最終頁に続く

(54) 【発明の名称】 集積化センサ

(57) 【要約】

【課題】 ワンチップ化の困難なセンサと信号処理回路を集積化すること。

【解決手段】 (110) 面を主面とする、隆起部11乃至13を有するセンサ素子を形成したセンサ基板1001と、(100) 面を主面とするSOI基板から形成された、信号処理回路を有する活性層22bと接合層22aを有する回路基板1002とを陽極接合により接合する。接合層22aと隆起部11とが陽極接合されるが、信号処理回路を有する活性層22bには電圧が印加されないので回路の破壊は生じない。センサ基板1001の端子部13に金属膜14を形成し、回路を有する活性層22bの所望の位置と電気的接続を行う。尚、図では示していないが、隆起部11と接合層22aの一方にバイレックス（登録商標）膜を形成することで、陽極接合を行うことができるようになる。



【特許請求の範囲】

【請求項1】 SOI基板から形成され、互いに絶縁された、信号処理回路を有する活性層とその外周部の活性層とを有する回路基板と、
基板上に、物理量を電気信号として出力するようセンサ素子の形成されたセンサ基板とを、
陽極接合により接合したことを特徴とする集積化センサ。

【請求項2】 SOI基板から形成され、互いに絶縁された、信号処理回路を有する活性層とその外周部の活性層とを有する回路基板と、
シリコン基板の(100)面以外の面上に、物理量を電気信号として出力するようセンサ素子の形成されたセンサ基板とを、
陽極接合により接合したことを特徴とする集積化センサ。

【請求項3】 SOI基板から形成され、互いに絶縁された、信号処理回路を有する活性層とその外周部の活性層とを有する回路基板と、
シリコン基板の(110)面上にピエゾ抵抗の形成されたセンサ基板とを、
陽極接合により接合したことを特徴とする集積化センサ。

【請求項4】 前記SOI基板から形成された前記回路基板の、支持基板と前記活性層の信号処理回路の所望の位置とを電氣的に接続したことを特徴とする請求項1乃至請求項3のいずれか1項に記載の集積化センサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SOI基板に信号処理回路を形成した回路基板と、シリコン基板にセンサを形成したセンサ基板とを集積化した集積化センサに関する。本発明は特にピエゾ抵抗を有する圧力センサに有効である。

【0002】

【従来の技術】従来、圧力センサとしては、(100)面を主面とするシリコン基板にダイアフラムを形成し、拡散ゲージを作製するダイアフラム型圧力センサが知られている。例えば特開平10-332505号公報記載のダイアフラム型圧力センサにおいては、信号処理回路を有するチップはセンサ素子の形成されたチップとは別々のチップとして作製され、それら両チップが同一パッケージに収納されている(図4)。即ち、ダイアフラム91aを有する拡散ゲージ型圧力センサ91が、貫通孔92aを有する台座92にマウントされ、接着剤96により母基板93に配設されている。母基板93は、開放孔93aを有し、適切な回路パターン94が設けられている。一方、信号処理ICチップ98も同様に接着剤96により母基板93に配設されている。こうして、拡散ゲージ型圧力センサ91と信号処理ICチップ98の

電極が、ボンディングワイヤ95で回路パターン94に接続されることにより、センサ及び信号処理回路が接続される。こうして圧力導入孔97bを有するカバー97を接着剤96で固着させて、圧力導入孔97bと、開放孔93aとの圧力差を計測する圧力センサ900とするものである。

【0003】図4の圧力センサ900は、拡散ゲージ型圧力センサ91と信号処理ICチップ98の2個の半導体チップが必要である。また、拡散ゲージ型圧力センサ91は、ダイアフラム91aを有するため、構造強度が低い。更に、図4では圧力導入孔97bからの圧力を受ける1の空間97aに拡散ゲージ型圧力センサ91と信号処理ICチップ98の2個の半導体チップを配置しているが、信号処理ICチップ98は、正常動作及び長期信頼性を得るためには、本来被測定圧を受けるべきではない。すると、正常動作及び長期信頼性を得るためには図4の圧力センサ900よりも更に特殊なパッケージが必要とされることとなる。以上のように、信号処理ICと圧力センサを同一基板(チップ)に作製することは困難であり、且つ信号処理ICの正常動作等のためには一つの母基板に信号処理ICチップと圧力センサチップをマウントすることは問題があった。

【0004】一方、図5のような、ピエゾ抵抗を用いた圧縮型のセンサ910も知られている。(110)面を主面とするシリコン基板911に、例えば<001>方向と<1-10>方向(図5では負数は上棒を有する数字で示している。)にゲージ912を設け、その上に力伝達ブロック913を設ける。すると、力伝達ブロックに図5上方から力が印加されると、<001>方向と<1-10>方向でピエゾ抵抗が異なることとなる。よって、図5のように、<001>方向の2個のピエゾ抵抗と<1-10>方向の2個のピエゾ抵抗とで方形のフルブリッジを構成し各頂点を電極として1対の対角の頂点に定電圧を印加すれば、残りの2頂点の電位差から力伝達ブロック913にかかる力を求めることができる。これは圧力センサとしても有効である。

【0005】図5のような圧縮型のセンサ910は、ダイアフラム91aを有する拡散ゲージ型圧力センサ91に比して構造強度が強く、油圧測定のような高圧検出に適している。また、ダイアフラム91aは、例えば数 μ m乃至数十 μ m程度に薄く形成する必要が有るが、拡散ゲージ型圧力センサ91のダイアフラム91a以外の部分は全体のハンドリングのため数百 μ mのものを使用することが必要である。即ち、拡散ゲージ型圧力センサ91のダイアフラム91aの形成には、極めて長時間のエッチングが必須である。

【0006】

【発明が解決しようとする課題】ところが図5のようなピエゾ抵抗を利用した圧縮型の圧力センサ910は、2つの方位で有効な圧電定数差を有する(110)面を主

面とするシリコン基板を用いる必要がある。一方、信号処理回路は、CMOS形成プロセスにおける閾値電圧制御や、作製後のキャリア移動度の高さから(100)面を主面とするシリコン基板を用いる必要がある。結果、図5のようなピエゾ抵抗を利用した圧縮型の圧力センサ910は、信号処理回路との一体化による集積化センサとすることは困難であった。

【0007】本発明は上記の課題を解決するために成されたものであり、その目的は構造強度の高い、センサと信号処理回路とが一体となった集積化センサを提供することである。

【0008】

【課題を解決するための手段】上記の課題を解決するため、請求項1に記載の発明は、SOI基板から形成され、互いに絶縁された、信号処理回路を有する活性層とその外周部の活性層とを有する回路基板と、基板上に、物理量を電気信号として出力するようセンサ素子の形成されたセンサ基板とを、陽極接合により接合したことを特徴とする集積化センサである。ここでSOI基板とは、Silicon On Insulator基板を指す。又、陽極接合とは、ガラス膜等を介して2個のシリコン層を電圧印加及び加熱して接合させることを言う。

【0009】また、請求項2に記載の発明は、SOI基板から形成され、互いに絶縁された、信号処理回路を有する活性層とその外周部の活性層とを有する回路基板と、シリコン基板の(100)面以外の面上に、物理量を電気信号として出力するようセンサ素子の形成されたセンサ基板とを、陽極接合により接合したことを特徴とする集積化センサである。

【0010】また、請求項3に記載の発明は、SOI基板から形成され、互いに絶縁された、信号処理回路を有する活性層とその外周部の活性層とを有する回路基板と、シリコン基板の(110)面上にピエゾ抵抗の形成されたセンサ基板とを、陽極接合により接合したことを特徴とする集積化センサである。

【0011】また、請求項4に記載の発明は、SOI基板から形成された回路基板の、支持基板と活性層の信号処理回路の所望の位置とを電気的に接続したことを特徴とする集積化センサである。ここで支持基板とは、SOI基板を構成する、活性層を絶縁層を介して形成する元

【0012】

【作用及び発明の効果】陽極接合前において、信号処理回路とセンサ素子は、各々別の基板に形成される。よって、各々に有利なシリコン基板を用いることができる。陽極接合時においては、信号処理回路には電圧を印加することなく、信号処理回路と絶縁された活性層とセンサ基板が陽極接合されるので、信号処理回路が電圧により破壊されることは無い。必要ならば、陽極接合後、その内部が密閉となるよう、センサ基板と信号処理回路を有

するSOI基板とを形成することも容易である。これは信号処理回路の保護のためのパッケージングが不要であることを意味し、小型化及びコスト削減の効果を有する。また、陽極接合後のダイシングも可能であり、チップングの恐れや切削粉のセンサ素子や回路素子への混入を防ぐことができ、歩留まりが高く、且つ信頼性の高い集積化センサを製造することが可能となる。陽極接合はバッチ処理が可能であるので、生産性は飛躍的に向上する(以上請求項1)。

【0013】信号処理回路を形成するSOI基板の活性層の主面には(100)面を利用することが回路の動作性及び信頼性の面で最も都合がよい。よって、センサ基板が(100)面以外の面を主面とするものについて、本発明は特に有効である(請求項2)。更に、センサ基板が(110)面を主面とする場合、特に有効である(請求項3)。これらはいずれも集積化センサの高感度化、高機能化に寄与するものである。

【0014】SOI基板から形成された回路基板の活性層に形成された信号処理回路の一端子が、SOI基板から形成された回路基板の支持基板と電気的に接続されているならば、支持基板を1の電極とすることができ、電源供給或いは信号取り出しの面で有効である(請求項4)。

【0015】

【発明の実施の形態】以下、本発明の具体的な実施例を例示する。尚、本発明は下記の実施例に限定されない。

【0016】図1に、本発明の具体的な1実施例に係る、圧縮型ピエゾ抵抗素子による圧力センサ素子の形成されたセンサ基板1001と、信号処理回路を形成した活性層22bを有するSOI回路基板1002とを、陽極接合することで形成される集積化センサ1000の構成を示す。図1(a)は、センサ基板1001の隆起部(11乃至13)を形成した面の平面図である。センサ基板1001は後に述べる工程により、(110)面を主面とするn型シリコン基板10の表面にp層を形成した後、エッチングにより必要部分残してp層を削り、隆起部11乃至13を形成したものである。隆起部11は、正方形の枠状のピエゾ抵抗素子であり、その4辺は<001>、<1-10>に平行な2辺ずつから形成されている。4個の隆起部12はリード部であり、正方形の枠状のピエゾ抵抗素子(隆起部)11の<001>と<1-10>に平行な2辺により形成される4つの頂点と、枠部中央付近に形成される4つの端子部(隆起部)13とを各々接続する。端子部13表面にはハンダバンブ又は金属膜14を形成し、対応する回路基板1002上の端子と接続する。

【0017】図1(c)は、SOI基板から形成された回路基板1002の平面図である。尚、信号処理回路を有する活性層22b側から見た平面図とした。1の活性層からトレンチエッチにより、信号処理回路を有する活

性層22bと接合層となる活性層22aとが電氣的に絶縁される。図1(c)のように、トレンチの底にはSOI基板の絶縁層(Insulator)21が露出している。活性層22bの主面は(100)面である。

【0018】これらセンサ基板1001と回路基板1002とを図1(b)の断面図のように接続する。図1

(b)で示す部分、後に述べるようにパイレックスガラス膜を形成することとなる。こうして、パイレックスガラス膜を介して、センサ基板1001の棒状のピエゾ抵抗素子(隆起部)11と、回路基板1002の同じく棒状の接合層(活性層)22aが陽極接合されることで、センサ基板のシリコン基板10とピエゾ抵抗素子(隆起部)11、回路基板1002の接合層(活性層)22aと絶縁層21とにより密閉構造を形成することができる。こうして、ピエゾ抵抗素子(隆起部)11と接合された4つの端子部13が金属膜14を介して、活性層22bに形成された信号処理回路に接続されれば、集積化センサ1000は、密閉された信号処理回路を有する集積化センサとすることができる。また、集積化センサ1000は、主面が(110)のセンサ基板1001と主面が(100)面であるSOI回路基板1002とから構成され、センサと回路にそれぞれ適した基板を用いることができる。

【0019】ピエゾ抵抗素子11を有するセンサ基板1001の製造方法の概略を、工程図(断面図)で図2に示す。図2(a)面を主面とするn型シリコン基板10を用意する。例えば抵抗率1Ωcmのもので良い(図2の(a))。ここにボロン(B)を拡散させ、抵抗率0.001Ωcmのp型層10pを形成する(図2の(b))。電極となるアルミ(Al)膜14を成膜及びパターニングにより形成する(図2の(c))。レジストを用いてn型シリコン基板10を3μmエッチングして、隆起部(ピエゾ抵抗11、リード部12(図2には無い)、端子部13)を形成する。ピエゾ抵抗11は一辺10μmの口の字型の棒状とする(図2の(d))。

【0020】信号処理回路を有する回路基板1002の製造方法は、次のとおりである。(100)面を主面とする絶縁層を有するSOI基板にCMOSプロセスで信号処理回路を形成した後、アンダーコートシリケートガラス(Underside Silicate Glass, USG)をマスクとしてトレンチエッチを行い、接合層となる活性層22aと信号処理回路を有する活性層22bとを絶縁分離する。

【0021】図3に、パイレックスガラスを成膜して陽極接合を行う様子の断面図を示す。図3の(a)は、センサ基板1001の隆起部11にパイレックスガラス膜31を形成した場合である。この時は、センサ基板1001のシリコン基板10を陰極に、回路基板1002の接合層22aを陽極とする。全体を300~400℃に加熱し、印加電圧は数百Vとする。

【0022】図3の(b)は、回路基板1002の接合

層22aにパイレックスガラス膜32を形成した場合である。この時は、回路基板1002の接合層22aを陰極に、センサ基板1001のシリコン基板10を陽極に接続する。

【0023】図3の(c)、(d)、(e)では信号処理回路を有する活性層22bの図示しない電極を、コンタクト40によりSOI基板の支持基板20と電氣的に接続するものである。コンタクト40の形成方法は、次のとおりである。コンタクト40の形成位置をUSGをマスクとして活性層22bをトレンチエッチし、絶縁層21をフッ酸(HF)処理により支持基板20面を露出させる。ここに低圧CVDにより、不純物ドーパされたポリシリコン(poly-Si)を埋め込み、コンタクト40とする。この後、上述と同様の方法でCMOSプロセスとUSGをマスクとしたトレンチエッチにより回路基板1002を形成する。

【0024】図3の(c)は図3の(a)同様、センサ基板1001の隆起部11にパイレックスガラス膜31を形成した場合である。この時は、センサ基板1001のシリコン基板10を陰極に、回路基板1002の接合層22aを陽極とする。また、図3の(d)は図3の(b)同様、回路基板1002の接合層22aにパイレックスガラス膜32を形成した場合である。この時は、回路基板1002の接合層22aを陰極に、センサ基板1001のシリコン基板10を陽極に接続する。図3の(e)は、陽極接合後を示したものであり、SOI基板の支持基板20に電極形成可能であることを示したものである。

【0025】このように、本発明を適用することで、密閉構造内に信号処理回路を有する集積化センサを容易に形成することができる。この際、センサ基板と回路基板は異なる面方位を有するものを使用することができる。また、回路基板にSOI基板を用いているので、信号処理回路の形成された活性層と、接合層たる活性層の絶縁分離が容易で、陽極接合の際に信号処理回路に高電圧が印加されることは無く、回路特性の変化や回路の破壊を防ぐことができる。また、密閉構造形成後にダイシングすることによりチップング、切削粉の混入を防ぐことができ、歩留まりを高め、信頼性を向上させることができる。信号処理回路保護のためのパッケージが不要で、小型化が可能となり、コスト削減の効果も有する。また、チップサイズ自体も小型化できる。陽極接合はパッチ処理可能であるので、生産性を向上させることができる。

【0026】上記実施例では(110)面を主面とするn型シリコン基板にボロン(B)をドーパして形成した圧縮型のピエゾ抵抗素子を有するセンサ基板と(100)面を主面とする活性層を有するSOI基板から形成した回路基板の陽極接合を示したが、本発明はこれに限定されない。センサ基板、回路基板はそれぞれ任意の面方位を有したものを使用して良く、センサはピエゾ抵抗素子

を有する圧力センサに限定されない。

【図面の簡単な説明】

【図 1】本発明の具体的な実施例に係る集積化センサ 1000 の構成を示す、(a) センサ基板 1001 の隆起部 (11 等) を形成した面の平面図、(b) センサ基板 1001 と回路基板 1002 の接合の様子を示す断面図、(c) 回路基板 1002 の活性層 22a、22b 側の平面図。

【図 2】本発明の具体的な実施例に係るセンサ基板 1001 の製造工程の概略を示す工程図 (断面図)。

【図 3】本発明の具体的な 4 つの実施例における、陽極接合の様子を示す断面図 (a～d) と、(d) の場合における陽極接合後の断面図 (e)。

【図 4】従来のダイアフラム型圧力センサのパッケージングを示す断面図。

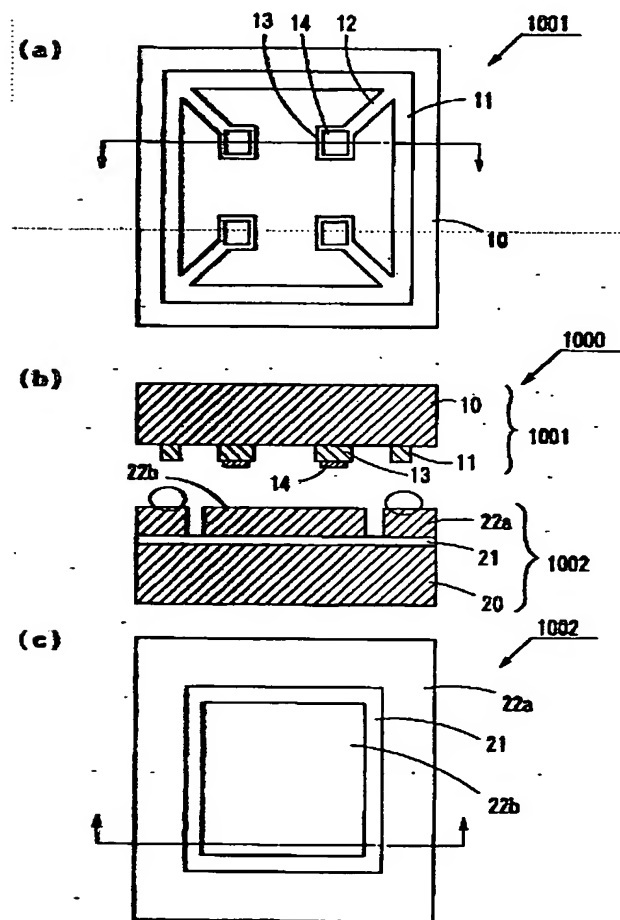
【図 5】従来のピエゾ抵抗を利用した圧縮型の圧力セン

サの概略を示す斜視図。

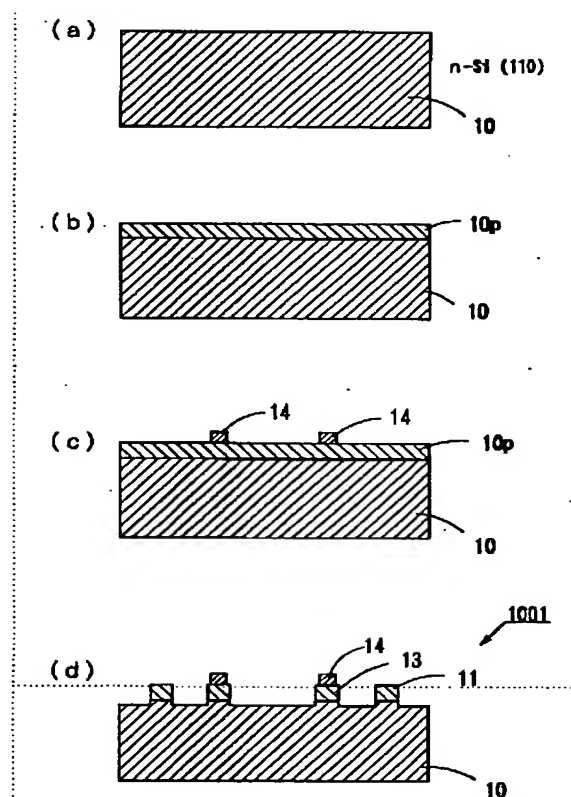
【符号の説明】

- 1000 集積化センサ
- 1001 センサ基板
- 1002 回路基板
- 10 シリコン基板
- 11 ピエゾ抵抗部 (隆起部)
- 12 リード部 (隆起部)
- 13 端子部 (隆起部)
- 14 金属膜
- 20 シリコン基板 (SOI)
- 21 絶縁膜 (SOI)
- 22a 接合層 (SOI 活性層)
- 22b 信号処理回路形成層 (SOI 活性層)
- 31、32 バイレックスガラス層

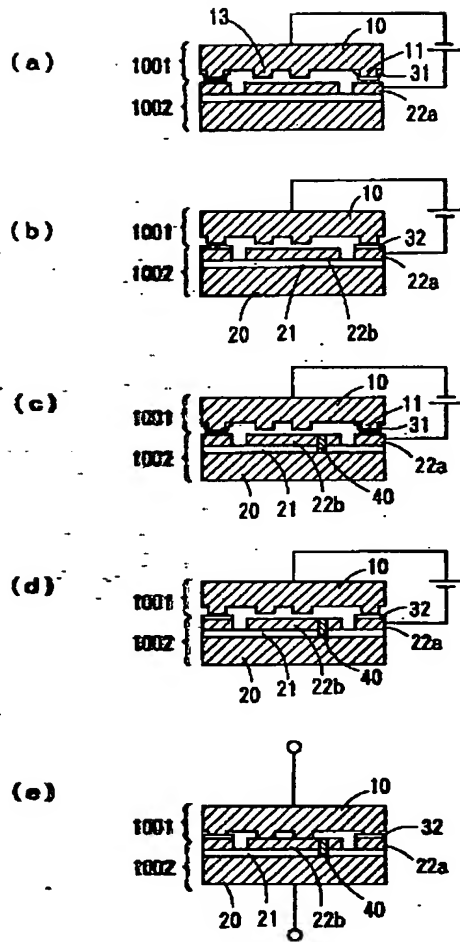
【図 1】



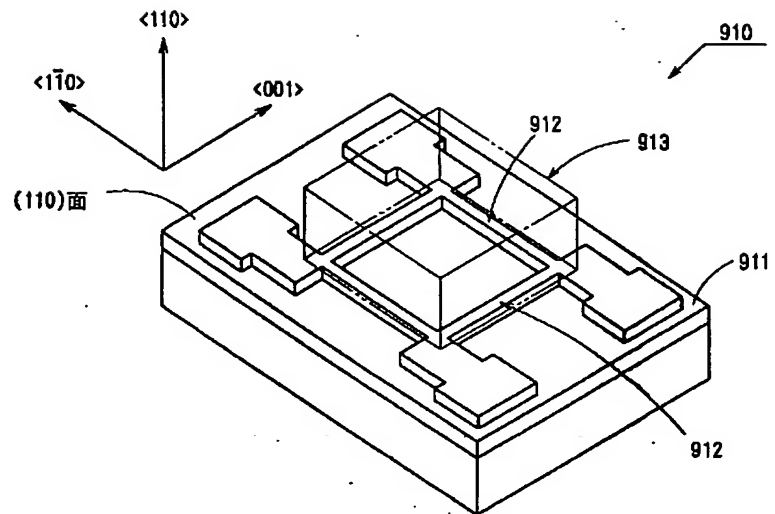
【図 2】



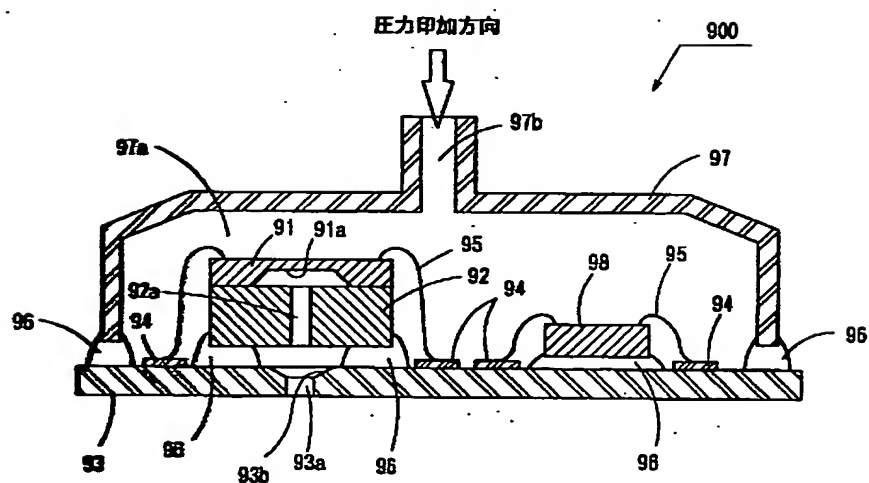
【図 3】



【図 5】



【図 4】



フロントページの続き

(72)発明者 水野 健太郎
愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内
(72)発明者 大村 義輝
愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内
(72)発明者 野々村 裕
愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(72)発明者 徳光 早苗
愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内
Fターム(参考) 2F055 AA40 BB20 CC02 DD05 EE14
FF43 FF49 GG01 GG12
4M112 AA01 BA01 CA25 CA26 CA31
CA32 CA35 DA02 DA12 DA18
EA03 EA13 FA07